

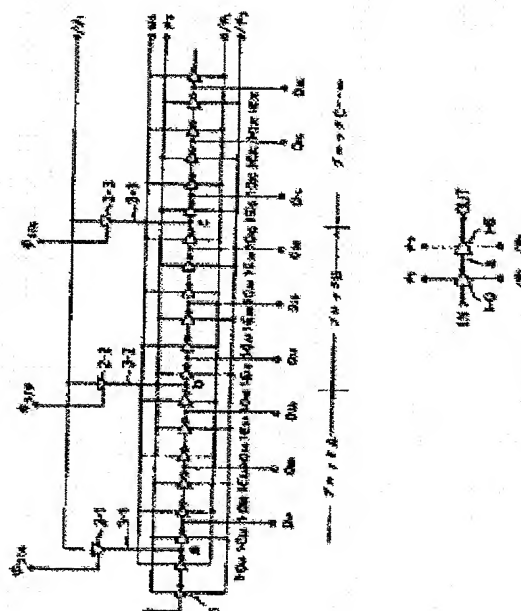
# SOLID-STATE IMAGE PICKUP DEVICE AND ITS DRIVE METHOD

**Patent number:** JP4277986  
**Publication date:** 1992-10-02  
**Inventor:** NAKAMURA JUNICHI  
**Applicant:** OLYMPUS OPTICAL CO  
**Classification:**  
**- international:** **H04N5/335; H04N5/335; (IPC1-7):**  
**H04N5/335**  
**- european:**  
**Application number:** JP19910062521 19910305  
**Priority number(s):** JP19910062521 19910305

Report a data error here

## Abstract of JP4277986

**PURPOSE:** To realize the solid-state image pickup device and its drive method by scanning a light receiving picture element area while dividing the area so as to obtain a high frame rate.  
**CONSTITUTION:** A shift register used for scanning a light receiving picture element is formed by connecting unit circuits comprising 2-stages of clocked inverters in cascade. Then the shift registers are divided into three blocks A, B, C and start pulses  $\phi_{1STA}$ ,  $\phi_{1STB}$ ,  $\phi_{1STC}$  are fed respectively independently to each of the blocks A, B, C and clock pulses  $\phi_{11}/\phi_{11}$ ,  $\phi_{12}/\phi_{12}$  are applied in common. The output from each output terminal of each of the blocks A, B, C is changed by controlling the pulse waveform of the transfer clock pulses and the start pulse fed to each of the blocks A, B, C to scan part or all of the light receiving picture elements.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-277986

(43) 公開日 平成4年(1992)10月2日

(51) Int.Cl.<sup>5</sup>

H 0 4 N 5/335

識別記号

庁内整理番号

E 8838-5C

F I

技術表示箇所

審査請求 未請求 請求項の数4(全10頁)

(21) 出願番号 特願平3-62521

(22) 出願日 平成3年(1991)3月5日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 中村 淳一

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

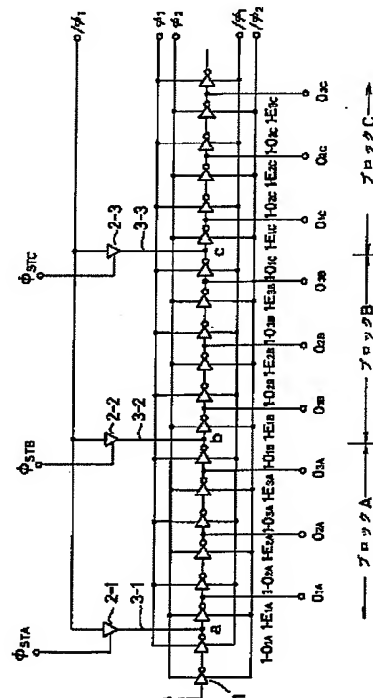
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 固体撮像装置及びその駆動方法

(57) 【要約】

【目的】 受光画素領域を分割して走査し高フレームレートを得ることのできる固体撮像装置及びその駆動方法を提供する。

【構成】 受光画素の走査に用いるシフトレジスタを2段のクロックドインバータからなる単位回路を連続接続して構成する。そして該シフトレジスタを3つのブロックA, B, Cに分割し、各ブロックA, B, Cには、それぞれ独立にスタートパルス $\phi_{STA}$ ,  $\phi_{STB}$ ,  $\phi_{STC}$ を供給すると共に、共通にクロックパルス $\phi_1$ ,  $\phi_2$ を供給する。各ブロックA, B, Cに供給する前記スタートパルス及びクロックパルスのパルス波形を制御することにより、各ブロックA, B, Cの各出力端子からの出力を変え、受光画素の一部又は全部を走査する。



1

## 【特許請求の範囲】

【請求項1】 シフトレジスタに供給する複数の転送クロックパルスのある状態において、シフトレジスタの全ての出力を同一状態にすることのできるシフトレジスタを受光画素の走査手段として備えた固体撮像装置において、1つのシフトレジスタを複数のブロックに分割し、スタートパルスを分割したブロック毎に独立に供給して全てのあるいは一部の受光画素の情報を読み出すように構成したことを特徴とする固体撮像装置。

【請求項2】 前記分割ブロック毎に独立に供給されるスタートパルスは、トライステートバッファを介してシフトレジスタの各分割ブロックの所定のノードに入力されるようにし、前記ノードがフローティング状態にあるタイミングにトライステートバッファが活性化され、前記ノードにスタートパルスが印加されるように構成したことを特徴とする請求項1記載の固体撮像装置。

【請求項3】 シフトレジスタに供給する複数の転送クロックパルスのある状態において、シフトレジスタの全ての出力を同一状態にすることのできるシフトレジスタを受光画素の走査手段として備えた固体撮像装置の駆動方法において、一つのシフトレジスタを複数のブロックに分割してスタートパルスを分割したブロック毎に独立に供給し、該分割ブロック毎に供給するスタートパルスと分割ブロック共通に供給する転送クロックパルスのパルス波形を制御して、全てのあるいは一部の受光画素の情報を読み出すことを特徴とする固体撮像装置の駆動方法。

【請求項4】 前記分割ブロック毎に独立に供給されるスタートパルスは、トライステートバッファを介してシフトレジスタの各分割ブロックの所定のノードに入力されるようにし、前記ノードがフローティング状態にあるタイミングにトライステートバッファが活性化され、前記ノードにスタートパルスが印加されるようにしたことを特徴とする請求項3記載の固体撮像装置の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、高速度カメラシステムに使用される固体撮像装置及びその駆動方法に関する。

## 【0002】

【従来の技術】 従来、高速度カメラシステムに使用される固体撮像装置では、高フレームレートを実現するために、受光部を複数のブロックに分割し、その各々のブロックの出力を並列に取り出すことができるように構成されている。

【0003】 例えば、IEEE Transactions on Electron Devices, Vol. ED-19, No. 9, 1982pp. 1469-1477には、図17に示す構成のイメージセンサが示されている。このイメージセンサでは、受光領域100を6つのブロック101-1, 101-2, ... 101-6に分け、それぞれが32本の

2

並列出力を持っている。各ブロックはシーケンシャルに選択されるが、1つのブロックのみを連続的に選択することにより、TVモニタへの表示領域は1/6になるが、6倍のフレームレートを得ることができる。水平方向の画素出力はシフトレジスタ102からの選択パルスにより読み出されるようになっている。なお図17において、103は外部クロック発生手段、104はブロックアドレス手段、105は出力選択用FET、106は結合マトリクスである。

【0004】 またEG & G RETICON社カタログRA2568Nには、図18に示すような構成の高速イメージセンサが示されている。このイメージセンサは、複数の水平走査回路201, 202, ... 207, 208を備えており、その個数分の出力端子211, 212, ... 218が設けられている。この図示例では、水平走査回路201と202, 203と204, ... 207と208で組になっており、受光領域を4つのブロックに分けている。それぞれの水平走査回路は同時に走査させることができるので、4倍のフレームレートが得られるようになっている。

【0005】 またテレビジョン学会技術報告、Vol. 10, No. 52, pp. 31~36, 1987の伊沢氏他の“可変電子シャッタ付TSL撮像素子”という論文においては、スタートパルスを入力することで、内部状態がクリアされるシフトレジスタを備えたTSL (Transversal Signal Line) 撮像素子が示されており、出画したい場所まで高速走査を行うことにより、図19に示したようなウィンドウ処理ができることが開示されている。

## 【0006】

【発明が解決しようとする課題】 ところで図17に示した従来のイメージセンサにおいては、受光部の複数の分割ブロックは縦方向のみに分割されているので、最高フレームレートでのTVモニタ表示は横長のパターンに固定されるため、水平方向に受光領域を分割して更に高フレームレートを得ることはできない。

【0007】 また図18に示したイメージセンサでは、図17に示したものと逆垂直方向に受光領域を分割することができない。また1ブロックの水平走査回路を1ブロックの受光領域の水平方向の範囲内におさめるため、図18に示すように上下方向に2つ走査回路をもたせるような工夫が必要である。一般に走査回路は、その両端部に付加回路が必要なため、複数の走査回路を設ける構成では、画素が微細化した場合に、レイアウトが困難になってくる。

【0008】 一方、図19に示した従来の撮像素子においては、図17及び図18に示した従来例に比べ出画領域の設定は自由に行えるが、高速走査と通常走査が混在しているため、制御が煩雑であること、更には出画中は通常走査になるため、シフトレジスタの高速性を生かしきれないという問題点を有する。

【0009】 本発明は、従来の固体撮像装置における上

記問題点を解消するためになされたもので、簡単な構成で水平、垂直両方向に受光領域を分割して高フレームレートを得ることのできる固体撮像装置及びその駆動方法を提供することを目的とする。

#### 【0010】

【課題を解決するための手段及び作用】上記問題点を解決するため、本発明は、シフトレジスタに供給する複数の転送クロックパルスのある状態において、シフトレジスタの全ての出力を同一状態にすることのできるシフトレジスタを受光画素の走査手段として備えた固体撮像装置において、1つのシフトレジスタを複数のブロックに分割し、スタートパルスを分割したブロック毎に独立に供給して全てのあるいは一部の受光画素の情報を読み出すように構成するものである。

【0011】このように構成した固体撮像装置においては、複数の分割されたシフトレジスタの各分割ブロックに、ブロック毎に独立にスタートパルスが供給され、それにより受光画素は該シフトレジスタにより一部あるいは全てが走査されて信号が読み出され、一部のみを繰り返して走査した場合は、高フレームレートが実現できる。

#### 【0012】

【実施例】次に実施例について説明する。図1は、本発明に係る固体撮像装置における受光部の駆動走査部を構成するシフトレジスタの第1実施例を示す回路構成図である。この実施例は、1段のCMOSクロックドインバータ1と、2段のCMOSクロックドインバータ1-O<sub>11</sub>、1-E<sub>11</sub> (i=1, 2, 3, j=A, B, C) からなる単位回路を9段縦続接続したものとで構成され、各単位回路にはそれぞれ出力端子O<sub>1A</sub>, O<sub>2A</sub>, … O<sub>3C</sub>が設けられており、3つのブロックA, B, Cに分割されて独立に出力できるようになっている。

【0013】上記図1に示したシフトレジスタの説明に入る前に、2段のCMOSクロックドインバータからなる単位回路について説明する。図2は該単位回路のブロック構成図で、図3はトランジスタレベルで示した回路図である。1段目のクロックドインバータ1-Oは、直列接続された2個のp-MOSFET11, 12と同じく直列接続された2個のn-MOSFET13, 14とを直列接続し、p-MOSFET12とn-MOSFET13の各ゲートに共通に入力信号INを印加し、p-MOSFET11のゲートにはクロックパルスφ<sub>1</sub>、n-MOSFET14のゲートにはクロックパルス/φ<sub>1</sub>が印加するように構成されている。

【0014】また2段目のクロックドインバータ1-Eは同様にp-MOSFET15, 16とn-MOSFET17, 18とからなり、p-MOSFET16とn-MOSFET17の各ゲートには1段目のクロックドインバータ1-Oの出力端19が接続され、p-MOSFET15のゲートにはクロックパルスφ<sub>2</sub>、n-MOSFET18のゲートにはクロックパルス/φ<sub>2</sub>が印加するように構成され

ている。そして、p-MOSFET11, 15のソースは電源V<sub>DD</sub>に、n-MOSFET14, 18のソースは電源V<sub>SS</sub>に接続されている。なお単位回路としては、入力信号INとクロックパルスφ<sub>1</sub>, /φ<sub>1</sub>, φ<sub>2</sub>, /φ<sub>2</sub>の印加方法を変えた図4に示す構成のものも用いることができる。

【0015】次に、図5のタイミングチャートを用いて単位回路の動作を説明する。t=t<sub>0</sub>で入力パルスINが“H”レベルとなり、t=t<sub>1</sub>でクロックパルスφ<sub>1</sub>が“L”レベルとなると、1段目のクロックドインバータ1-Oのp-MOSFET11, n-MOSFET13, 14が導通し、1段目のクロックドインバータの出力端19 (ノードaの出力) は、“L”レベルとなる。次にt=t<sub>3</sub>でクロックパルスφ<sub>2</sub>が“L”レベルとなると、2段目のクロックドインバータ1-Eのp-MOSFET15, 16, n-MOSFET18が導通し、2段目のクロックドインバータ1-Eの出力OUTは“H”レベルとなる。t=t<sub>4</sub>で入力パルスINが“L”レベルとなった後、クロックパルスφ<sub>1</sub>が“L”レベルになると、上記と同様な動作の結果、1段目のクロックドインバータの出力a (19) は“H”レベルとなる。t=t<sub>7</sub>でクロックパルスφ<sub>2</sub>が“L”レベルとなると、上記と同様な動作の結果、出力OUTは“L”レベルとなる。以上の説明から、ノードaすなわち1段目の出力端19は、クロックパルスφ<sub>1</sub>が“H”レベルの期間はフローティング状態であることがわかる。

【0016】次に図1に示したシフトレジスタの説明に戻る。シフトレジスタのスタートパルスφ<sub>STj</sub> (j=A, B, C) は、ブロック毎に独立に入力する。そして例えば、ブロックAをとばしてブロックBのみに順次パルスを出力してBブロックで駆動される受光部のみ順次走査するときには、スタートパルスφ<sub>STB</sub>のみを活性化する。ブロックBの走査終了後、ブロックCを走査しないようにする方法については後述する。

【0017】次にスタートパルスφ<sub>STj</sub> (j=A, B, C) をシフトレジスタの途中のノードに入力する方法について説明する。2-1, 2-2, 2-3はトライステートバッファであり、φ<sub>STj</sub> (j=A, B, C) が“H”レベルのときに、入力を出力側に伝え、“L”レベルのときには出力はハイインピーダンス状態となる。トライステートバッファ2-1, 2-2, 2-3の出力端3-1, 3-2, 3-3は、シフトレジスタを構成するクロックドインバータ1-O<sub>1j</sub> (j=A, B, C) の出力端とクロックドインバータ1-E<sub>1j</sub> (j=A, B, C) の入力端との接続部、すなわちノードa, b, cにそれぞれ接続される。各トライステートバッファ2-1, 2-2, 2-3の入力端にはクロックパルス/φ<sub>1</sub>を入力する。

【0018】次に図6及び図7を用いて図1に示したシフトレジスタの動作を説明する。図6はブロックA、

5

B, Cで駆動される受光部を全て走査する通常走査の場合の信号波形を示す図である。スタートパルス $\phi_{stA}$ をクロックパルス $\phi_1$ の立ち上がり同期して“H”レベルとする。トライステートバッファ2-1は、このスタートパルス $\phi_{stA}$ が“H”レベルの期間( $t=t_1 \sim t_4$ )、クロックパルス/ $\phi_1$ を出力する。 $t=t_1 \sim t_3$ では、上述したように、クロックドインバータ1-E<sub>1A</sub>の入力は、もしトライステートバッファ2-1の出力端3-1が接続されていなければフローティング状態にあるので、そのノードaは、/ $\phi_1$  = “L”レベルとなる。初段のクロックドインバータ1の入力は“H”レベルとなっているので、 $t=t_3 \sim t_4$ ではクロックドインバータ1-O<sub>1A</sub>は導通状態となり、ノードaは“H”レベルとなろうとするが、トライステートバッファ2-1の出力も、/ $\phi_1$  = “H”レベルとなるので、ノードaは“H”レベルとなる。出力端子O<sub>1A</sub>の出力は、ノードaの状態がクロックパルス $\phi_2$ が“L”レベルとなると、クロックドインバータ1-E<sub>1A</sub>に取り込まれるので、 $t=t_2$ で“H”レベルとなる。以下クロックパルスに同期して順次シフトされていく。トライステートバッファ2-2, 2-3は、常にスタートパルス $\phi_{stB}$ ,  $\phi_{stC}$ とも“L”レベルであるので、常にハイインピーダンス状態にあり、シフト動作に影響を与えない。

【0019】図7は、ブロックBで駆動される受光部のみを走査する場合の信号波形を示す図である。この場合は、スタートパルス $\phi_{stA}$ ,  $\phi_{stC}$ とも“L”レベルとしておく。スタートパルス $\phi_{stB}$ がクロックパルス $\phi_1$ の立ち上がり同期して“H”レベルとなると、図6に関する説明と同様に動作して、出力端子O<sub>1B</sub>, O<sub>2B</sub>, O<sub>3B</sub>からパルスが順次出力される。出力端子O<sub>3B</sub>に出力が現れた後、 $t=t_5$ でクロックパルス $\phi_1$ ,  $\phi_2$ とも“L”レベルとすると、シフトレジスタを構成する全てのクロックドインバータが導通し、初段のクロックドインバータ1の入力は“H”レベルであるので、全ての出力端子O<sub>1A</sub>~O<sub>3C</sub>の出力は“L”レベルとなる。つまりクロックパルス $\phi_1$ ,  $\phi_2$ を同時に“L”レベルとすることにより、シフトレジスタのシフト動作を止めることができる。

【0020】図8は、シフトレジスタの第2実施例を示す回路構成図である。この実施例は、図9に示す単位回路を多段接続して構成されており、3つのブロックA, B, Cに分割されて独立に出力できるようになっている。

【0021】まず単位回路の構成とその動作について説明する。単位回路は図9に示すように、n-MOSFET21とインバータ22とp-MOSFET23とインバータ24との直列回路からなり、n-MOSFET21のゲートにはクロックパルス $\phi_2$ を、p-MOSFET23のゲートにはクロックパルス $\phi_1$ を印加するようになってい

6

る。このような構成の単位回路において、図10に示すように、 $t=t_1$ で入力信号INが“H”レベルとなり、クロックパルス $\phi_2$ が“H”レベルとなると、n-MOSFET21が導通し、ノードaは“L”レベルとなる。 $t=t_2$ でクロックパルス $\phi_1$ が“L”レベルになると、p-MOSFET23が導通し、出力OUTは“H”レベルになる。 $t=t_3$ で入力信号INが“L”レベルとなり、クロックパルス $\phi_2$ が“H”レベルとなると、n-MOSFET21が導通し、ノードaは“H”レベルとなる。 $t=t_4$ でクロックパルス $\phi_1$ が“L”レベルになると、p-MOSFET23が導通し、出力OUTは“L”レベルになる。ノードaは、クロックパルス $\phi_2$ が“L”レベルの期間はフローティング状態にある。

【0022】次に、図11及び図12の信号波形図を用いて図8に示したシフトレジスタの初段部分の動作を説明する。25はトライステートバッファで、制御端子INが“H”レベルのとき、入力クロックパルス/ $\phi_2$ を出力し、制御端子INが“L”レベルのときには、出力はハイインピーダンス状態となる。トライステートバッファ25の出力はインバータ22の入力のノードa'に接続される。n-MOSFET21のソースは電源V<sub>ss</sub>に接続される。

【0023】トライステートバッファ25の制御端子INは $t=t_1 \sim t_4$ で“H”レベルとなり、入力クロックパルス/ $\phi_2$ を出力する。トライステートバッファ25の出力端が接続されるn-MOSFET21とインバータ22との接続点であるノードa'はクロックパルス $\phi_2$ が“H”レベルのとき“L”レベルとなるので、 $t=t_2 \sim t_4$ の期間“H”レベルとなる。 $t=t_3$ でクロックパルス $\phi_1$ が“L”レベルとなると、p-MOSFET23が導通し、図10において説明したように、出力OUTは $t=t_3 \sim t_5$ の期間“H”レベルとなる。これ以降、順次クロックパルス $\phi_1$ の立ち下がり同期して出力が現れる。

【0024】図8のシフトレジスタにおいてシフト動作を開始したいブロックのスタートパルス $\phi_{stj}$  ( $j=A, B, C$ )を図12に示したタイミングで“H”レベルとすれば、そのブロックからシフト動作が開始される。次段以降のトライステートバッファの制御端子は“L”レベルとなっているため、トライステートバッファの出力はハイインピーダンス状態にあり、シフト動作に影響を与えない。シフトレジスタのシフト動作を止めるには、図7に示した第1実施例の場合と同様の考え方で、同時にクロックパルス $\phi_1$ を“L”レベル、クロックパルス $\phi_2$ を“H”レベルとすればよい。

【0025】図13は、図1に示した第1実施例のシフトレジスタを用いた固体撮像装置の構成例を示す概略構成図である。この固体撮像装置は、9×9画素からなる受光部31と図1に示したシフトレジスタからなる垂直シフトレジスタ32、水平シフトレジスタ33とで構成されてい

7

る。この構成例では、 $3 \times 3$ 画素を1ブロックとする読み出しが行えるようになっている。画素は、MOSイメージセンサ、CMDイメージセンサ、SITイメージセンサ、AMIイメージセンサなどX-Yアドレス可能な画素であれば何れでも用いることができる。なお画素の種類に応じて読み出し回路は適宜変更される。

【0026】図14は、受光部の全画面を読み出す場合のプルスタイミングを示す図で、スタートパルス $\phi_{stb}$ 、 $\phi_{src}$ 、 $\phi_{stb}$ 、 $\phi_{src}$ は“L”レベルとしておく。垂直シフトレジスタ32で受光部31のある1行が選択されている期間（垂直選択期間）に、水平シフトレジスタ33で水平方向の9画素を順次走査することにより、全画面の画素信号が出力線34を介して時系列的に読み出され、信号出力Sigが得られる。

【0027】図15は、受光部31の中央部の $3 \times 3$ 画素のみを繰り返し走査する場合のプルスタイミングを示す図である。この場合は、垂直シフトレジスタ32のブロックB及び水平シフトレジスタ33のブロックbからのみ順次パルスが出力するように、スタートパルス及び各クロックパルスの波形を図示のように選定する。この場合のスタートパルス及び各クロックパルスのタイミングは、図7に示した第1実施例のシフトレジスタの分割走査用の信号波形を、垂直及び水平シフトレジスタ32、33に適用したものとなる。

【0028】図16に受光部31の選択領域の例を示す。図14に示したプルスタイミングで垂直シフトレジスタ及び水平シフトレジスタを動作させた場合は、(F)で示す全領域選択に対応し、図15に示したプルスタイミングで動作させた場合は、(A)で示す選択領域に対応する。垂直及び水平シフトレジスタへのスタートパルス及びクロックパルスの波形の簡単な制御だけで、選択領域の大きさ及び位置を、図示例に限らず、種々に設定することができる。

【0029】上記構成例では、エリアセンサに適用したものを挙げて説明したが、本発明はラインセンサにも適用できることは言うまでもない。

【0030】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、複數に分割されたシフトレジスタの各分割ブロックに、ブロック毎に独立にスタートパルスが供給されるので、受光画素の一部のみを繰り返し走査することができ、高フレームレートが実現できる。また受光画素の走査選択領域の大きさ及び位置は、分割ブロックの範囲内において、独立に供給するスタートパルスの選定により任意に設定することができる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像装置に用いるシフトレジスタの第1実施例を示す回路構成図である。

【図2】図1に示したシフトレジスタを構成する単位回路を示すブロック構成図である。

8

【図3】図2に示した単位回路のトランジスタレベルでの回路構成を示す図である。

【図4】単位回路の他の構成例を示す図である。

【図5】図3に示した単位回路の動作を説明するための信号波形を示す図である。

【図6】図1に示したシフトレジスタにより通常走査を行う場合の信号波形を示す図である。

【図7】図1に示したシフトレジスタにより分割走査を行う場合の信号波形を示す図である。

【図8】シフトレジスタの第2実施例を示す回路構成図である。

【図9】図8に示したシフトレジスタを構成する単位回路を示す回路構成図である。

【図10】図9に示した単位回路の動作を説明するための信号波形を示す図である。

【図11】図8に示したシフトレジスタの初段部分を示す回路構成図である。

【図12】図11に示した初段部分の動作を説明するための信号波形を示す図である。

【図13】図1に示したシフトレジスタを用いた固体撮像装置の構成例を示す図である。

【図14】図13に示した固体撮像装置において通常走査を行う場合の信号波形を示す図である。

【図15】図13に示した固体撮像装置において分割走査を行う場合の信号波形を示す図である。

【図16】受光部の分割選択領域の例を示す図である。

【図17】従来のイメージセンサの構成例を示すブロック構成図である。

【図18】従来のイメージセンサの他の構成例を示す回路構成図である。

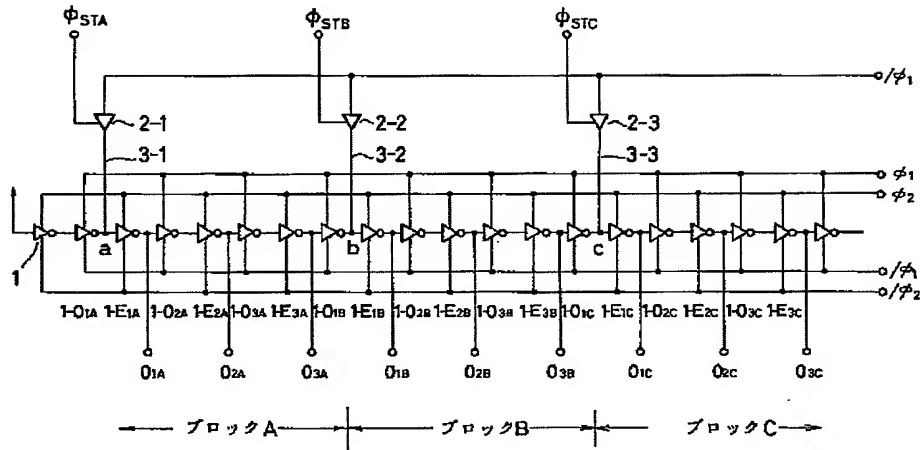
【図19】従来の他のイメージセンサによるウィンドウ処理を説明するための図である。

【符号の説明】

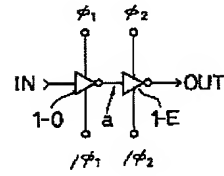
- 1 初段CMOSクロックインバータ
- 2-1, 2-2, 2-3 トライステートバッファ
- 11 p-MOSFET
- 12 p-MOSFET
- 13 n-MOSFET
- 14 n-MOSFET
- 15 p-MOSFET
- 16 p-MOSFET
- 17 n-MOSFET
- 18 n-MOSFET
- 21 n-MOSFET
- 22 インバータ
- 23 p-MOSFET
- 24 インバータ
- 25 トライステートバッファ
- 31 受光部
- 32 垂直シフトレジスタ

## 33 水平シフトレジスタ

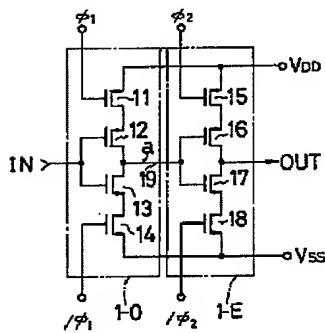
【図1】



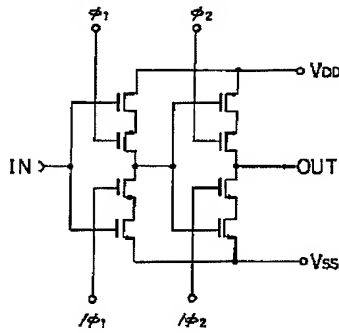
【図2】



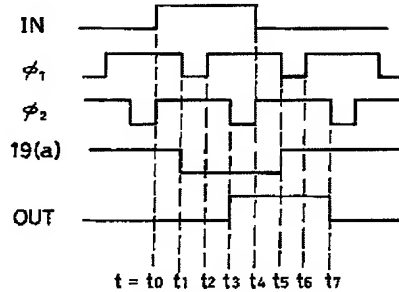
【図3】



【図4】

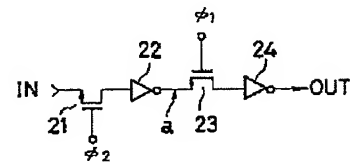
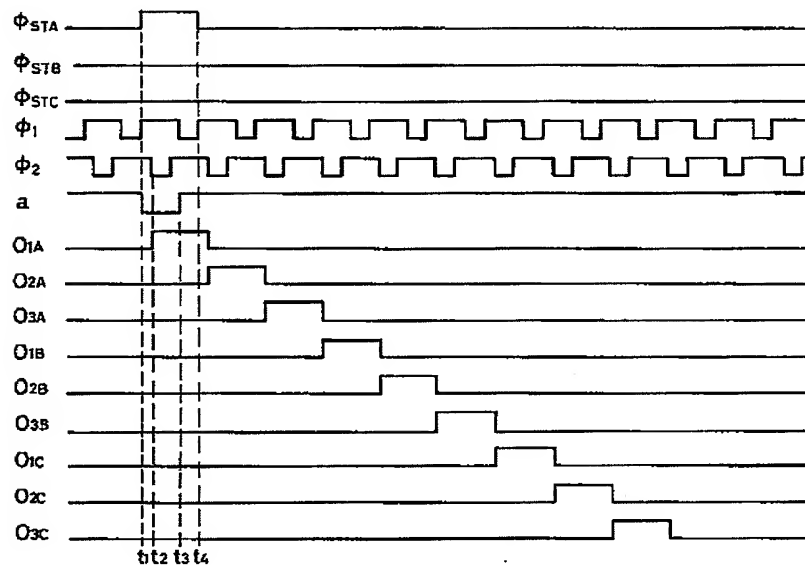


【図5】

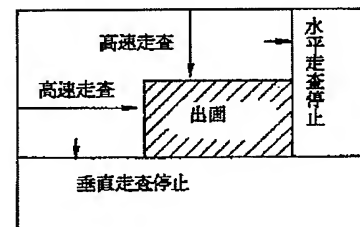


【図9】

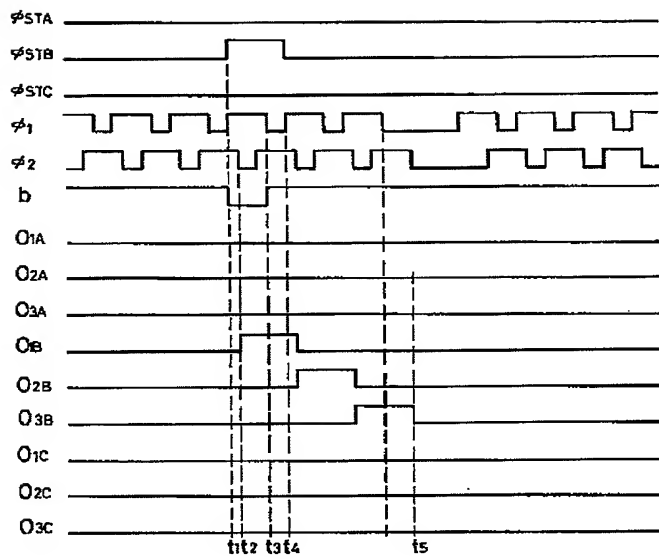
【図6】



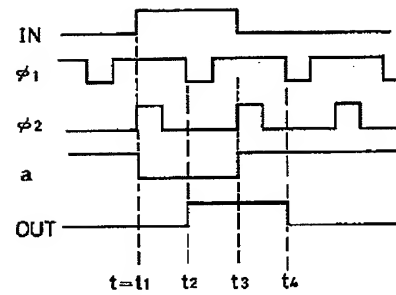
【図19】



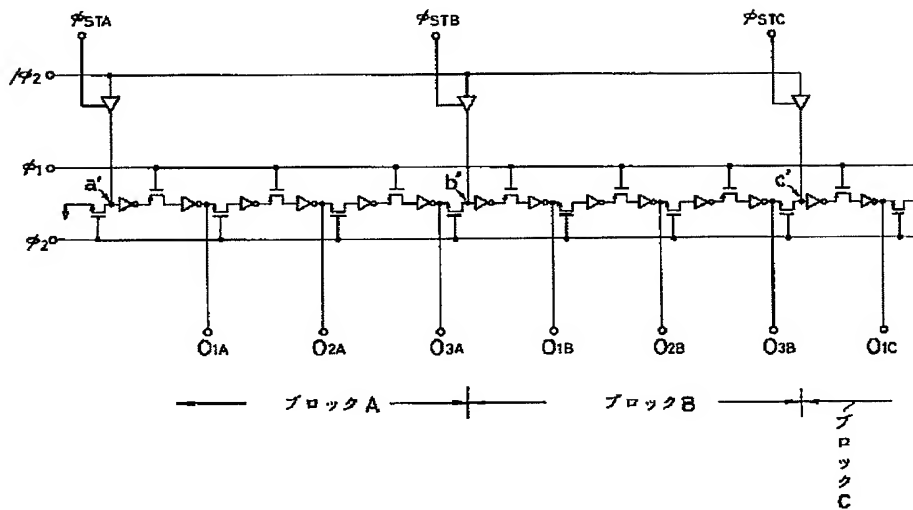
【図7】



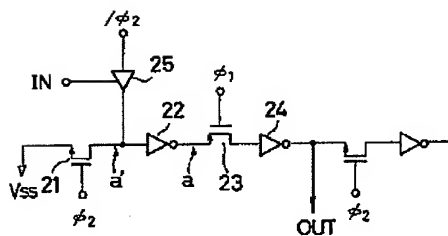
【図10】



【図8】

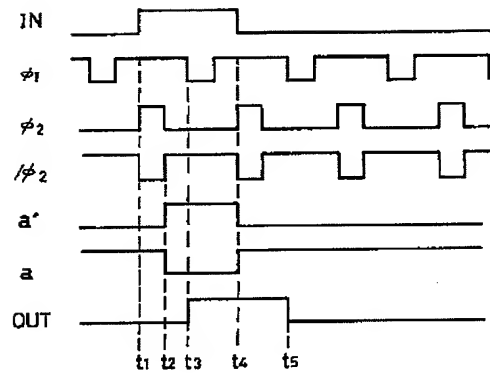


【図11】

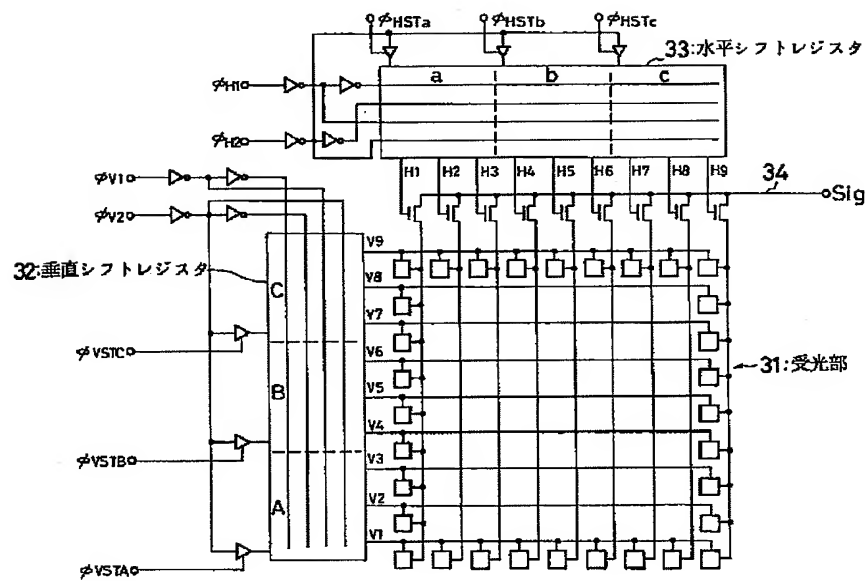




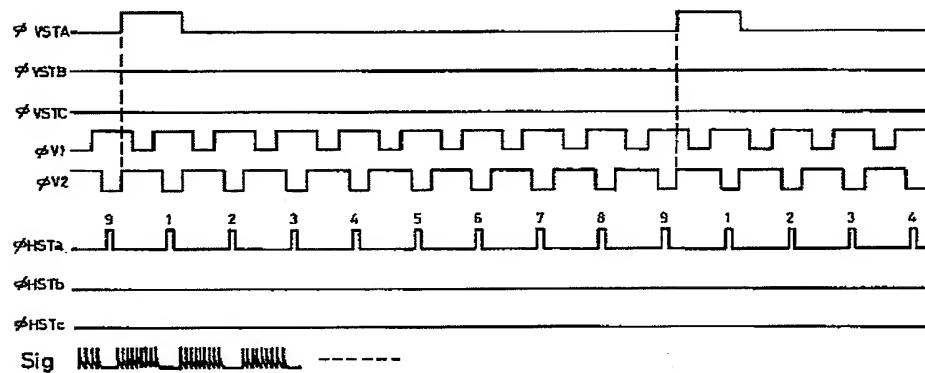
【図12】



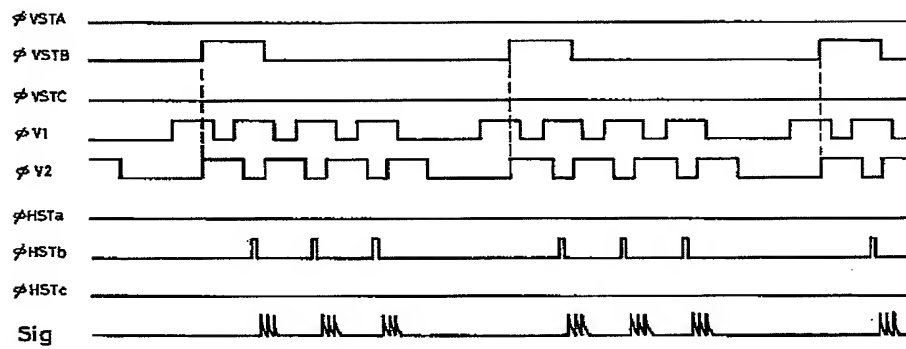
【図13】



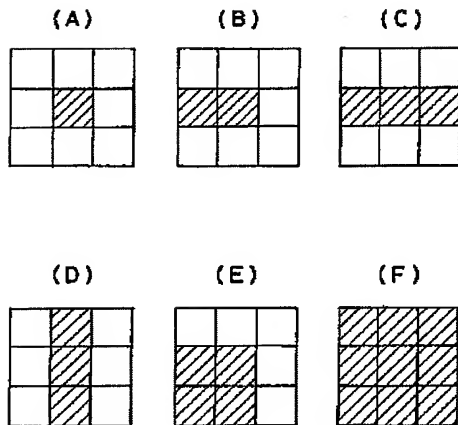
【図14】



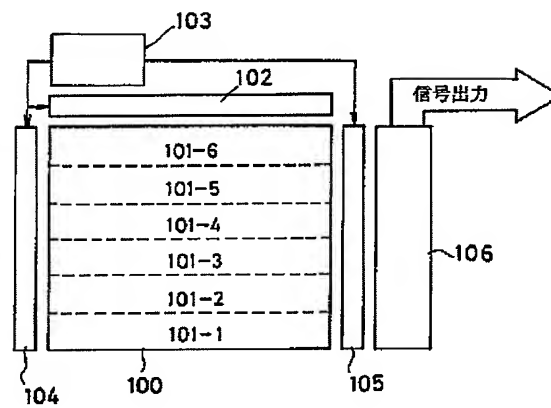
【図15】



【図16】



【図17】



100: 受光領域

101-1, --- 101-6 : ブロック

【図18】

